

SEMICONDUCTOR DEVICE

Patent Number: JP5198758
Publication date: 1993-08-06
Inventor(s): SAKAKIBARA TOSHIO; others: 03
Applicant(s): NIPPONDENSO CO LTD
Requested Patent: JP5198758
Application Number: JP19920240453 19920909
Priority Number(s):
IPC Classification: H01L27/088; H01L21/76; H01L29/784
EC Classification:
Equivalents: JP3257057B2

Abstract

PURPOSE:To obtain a sufficient output current in a compact shape without erroneous operation at the time of driving an inductive load.

CONSTITUTION:An insulating layer 4 is formed in a box shape opened on one surface of a semiconductor substrate 3 in the substrate 3, lateral double diffused MOS field-effect transistors 2A, 2B are formed in a semiconductor layer surrounded by the box-shaped insulating layer, and longitudinal double diffused MOS field-effect transistors 1A, 1B are formed in the semiconductor layer out of the box-shaped insulating layer. Even if potentials of terminals of outputs 1, 2 become lower than a ground potential due to an electromotive force at the time of driving an inductive load, since an element isolation is conducted by the insulating layer, a parasitic transistor is not generated, and a problem of an erroneous operation due to conduction of the transistor does not occur. Since the ON resistance of the longitudinal double diffused MOS field-effect transistor is small, even if its forming area is reduced, a sufficient output current is obtained.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-198758

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl. ⁵ H 01 L 27/088 21/76 29/784	識別記号 D 9169-4M	序内整理番号 F I	技術表示箇所 H 01 L 27/08 7342-4M 7342-4M 102 E 311 A
審査請求 未請求 請求項の数1(全4頁) 最終頁に続く			

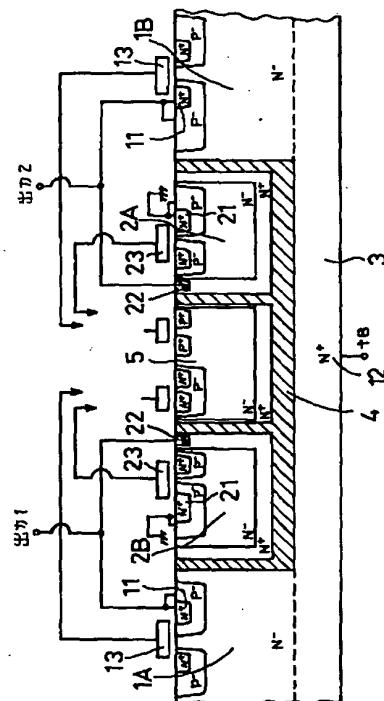
(21)出願番号 特願平4-240453	(71)出願人 000004260 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
(22)出願日 平成4年(1992)9月9日	(72)発明者 榎原 利夫 愛知県刈谷市昭和町1丁目1番地 日本電 装株式会社内
(31)優先権主張番号 特願平3-258524	(72)発明者 藤本 裕 愛知県刈谷市昭和町1丁目1番地 日本電 装株式会社内
(32)優先日 平3(1991)9月10日	(72)発明者 中山 喜明 愛知県刈谷市昭和町1丁目1番地 日本電 装株式会社内
(33)優先権主張国 日本 (JP)	(74)代理人 弁理士 離水 裕彦 最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 誘導負荷駆動時に誤作動を生じず、かつコンパクトな形状で充分な出力電流が得られる。

【構成】 半導体基板3内に基板の一面に開放する箱形に絶縁層4を形成して、該箱形絶縁層に囲まれた半導体層内に横型二重拡散MOS電界効果トランジスタ2A, 2Bを形成するとともに、上記箱形絶縁層外の半導体層内に縦型二重拡散MOS電界効果トランジスタ1A, 1Bを形成してある。誘導負荷駆動時の逆起電力により出力1, 2端子の電位がアース電位を下回っても、素子分離を絶縁層によって行っているから寄生トランジスタは生じておらず、これが導通して誤作動する問題は生じない。縦型二重拡散MOS電界効果トランジスタはON抵抗が小さいから、その形成面積を小さくしても充分な出力電流が得られる。



1

【特許請求の範囲】

【請求項1】半導体基板内において基板の一面に開放する箱形に絶縁層が形成され、該箱形絶縁層に囲まれた半導体層内に横型二重拡散MOS電界効果トランジスタが形成されるとともに、上記箱形絶縁層外の半導体層内に縦型二重拡散MOS電界効果トランジスタが形成されており、上記縦型二重拡散MOS電界効果トランジスタにてハイサイドスイッチを構成するとともに、上記横型二重拡散MOS電界効果トランジスタにてローサイドスイッチを構成したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体基板内に素子分離をして複数の二重拡散MOS電界効果トランジスタを形成した半導体装置に関する。

【0002】

【従来の技術】近年、モータを正逆駆動するHブリッジ(図2)の二重拡散MOS電界効果トランジスタ(DMOS)1A, 1B, 2A, 2Bを、図3に示す如く1チップの半導体基板3上にモノリシック形成することが試みられており、この場合の素子分離を図に示すJI(Junction Isolation)方式により行つたものが知られている(日刊工業新聞刊 電子技術 1989-6)。

【0003】このJI方式はSI(Self Isolation)方式等に比して良好な素子分離を実現することができるが、その原理は基本的にPN接合に逆バイアス電圧を印加することによって素子間を電気的に分離するものである。

【0004】

【発明が解決しようとする課題】ところで、かかるJI方式で素子分離をしたHブリッジ駆動回路でモータを駆動すると、そのインダクタンスにより生じる逆起電力によって、図3の出力1端子がアース電位より低下することがあり、素子分離のために拡散形成したP層とこれを挟むN層により生じる寄生トランジスタTrが導通して誤作動を生じるという問題がある。

【0005】また、上記方式により半導体基板内に形成される電界効果トランジスタ(FET)は横型(Lateral)二重拡散MOSFETであるため導通抵抗(R_{on})が比較的高く、所定の出力電流を確保するためにはチップ面積を大きくする必要がある。

【0006】本発明はかかる課題を解決するもので、寄生トランジスタが導通して誤作動することがなく、かつチップ面積を小さくできる半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明に係る半導体装置は、半導体基板内において基板の一面に開放する箱形の絶縁層が形成され、該箱形絶縁層に囲まれた半導体層内

2

に横型二重拡散MOS電界効果トランジスタが形成されるとともに、上記箱形絶縁層外の半導体層内に縦型二重拡散MOS電界効果トランジスタが形成されており、この縦型二重拡散MOS電界効果トランジスタにてハイサイドスイッチを構成するとともに、上記横型二重拡散MOS電界効果トランジスタにてローサイドスイッチを構成するものである。

【0008】

【作用】上記構成においては、ハイサイドスイッチ、ローサイドスイッチを各々構成する各トランジスタ素子を箱形の絶縁層により電気的に分離しているから、寄生トランジスタが生じることはなく、誘導負荷駆動時に上記トランジスタが導通して誤作動するという問題は生じない。

【0009】また、ハイサイドスイッチを構成するトランジスタ素子を R_{on} の小さい縦型二重拡散MOS電界効果トランジスタとしているため、特にHブリッジ駆動回路のハイサイド側にこれを使用すれば基板面積を小さくしても充分な出力電流を得ることができる。

【0010】

【実施例】以下本発明を図に示す実施例に従って説明する。図1はHブリッジに適用した本発明一実施例の半導体装置の断面図である。

【0011】図1において、半導体基板3内には基板上面に開放する箱形の絶縁層4が形成され、絶縁層4の縦壁によって互いに区画された3つの半導体層内には各々、論理回路あるいはゲート駆動回路等を構成する制御回路部(図1には一例としてC-MOS回路を図示している)5、及びその左右位置に各々横型二重拡散MOSFET(L-DMOS)2A, 2Bが形成されている。これらL-DMOS 2A, 2Bは不純物拡散により、水平方向へ離れた位置にソース21とドレイン22が形成されており、各L-DMOS 2A, 2Bのソース21は基板表面からの二重拡散(Double Diffusion)で形成されるとともにアースされている。

【0012】上記箱形絶縁層4外には左右位置にそれぞれ縦型二重拡散MOSFET(V-DMOS)1A, 1Bが形成されており、これらV-DMOS 1A, 1Bは半導体基板3の上面からの不純物の二重拡散によりソース11が形成されているとともに、基板3の下面を共通のドレイン12として電源(+B)に接続されている。なお、図中13, 23はゲートである。

【0013】半導体基板3内の絶縁層4は、例えば特開平2-96350号公報に示されるように、一方の鏡面に溝を設けた二枚の半導体基板を互いの鏡面で接着した後、溝表面に絶縁性酸化膜を形成し、必要な場合にはさらに多結晶シリコン等によって溝を埋めて形成する。

【0014】上記V-DMOS 1Aのソース11はL-DMOS 2Bのドレイン22に接続され、また、V-DMOS 1Bのソース11はL-DMOS 2Aのドレイン

2 2に接続されて図 2 に示す H ブリッジを構成しており、各ソース 1 1 とドレイン 2 2 の接続部が出力 1, 2 端子となってモータに接続されている。

【0015】上記構成の半導体装置において、V-DMOS 1 A, L-DMOS 2 A および V-DMOS 1 B, L-DMOS 2 B の各組を選択的に導通させると、モータへの出力電流が反転してこれが正逆転する。この正逆転切替時にモータに生じる逆起電力により、出力 1, 2 端子の電位がアース電位を下回ることがあるが、素子分離を絶縁層によりなしているから寄生トランジスタは形成されておらず、これが導通して誤作動を生じることはない。

【0016】また、H ブリッジのハイサイド側のMOSFET を縦型としたから、導通抵抗 R_{ON} を充分小さくすることができ、チップ面積を小さくしても充分な出力電流を確保できる。

【0017】次に、基板上へのハイサイド側 V-DMOS とローサイド側 L-DMOS の配分方法について説明する。図 2 に示すような H ブリッジを構成する場合、ハイサイド側 V-DMOS 1 A (1 B) とローサイド側 L-DMOS 2 A (2 B) のオン抵抗比を最適化することにより、1 チップ化した際の V-DMOS, L-DMOS 合計面積を最小にすることができます。

【0018】ブリッジとしての導通抵抗 R_{ON} は V-DMOS のオン抵抗 R_{ON} と L-DMOS のオン抵抗 R_{ON} の和として与えられるため、その目標値を A ($m\Omega$)、V-DMOS のオン抵抗 R_{ON} を x ($m\Omega$)、L-DMOS の導通抵抗 R_{ON} を y ($m\Omega$) とすれば、ブリッジとしての導通抵抗 R_{ON} は次式であらわされる。

【0019】

$$【数1】x + y = A \quad (\text{一定値})$$

また、V-DMOS, L-DMOS 合計面積 S (m^2) は、V-DMOS の単位面積当たりのオン抵抗 a ($m\Omega \cdot mm^2$)、L-DMOS の単位面積当たりのオン抵抗 b ($m\Omega \cdot mm^2$) を用いて次式であらわされる。

【0020】

$$【数2】a / x + b / y = S$$

従って、数 1 の制約条件の下で、数 2 の面積 S が最小となるような (x, y) の最適値を求めて V-DMOS, L-DMOS 各々の面積配分を決定するようにしてやればよい。V-DMOS, L-DMOS 各々のオン抵抗を等しく設計するようにしても両トランジスタ素子を L-DMOS で構成した場合よりチップ面積の縮小化は図れるが、V-DMOS 側のオン抵抗分を L-DMOS 側のそれより小さく設計し、V-DMOS, L-DMOS 各々のオン抵抗を等しく設計した場合より V-DMOS の占有面積を大きくしても、全体としてのチップ面積をさ

らに縮小化させることができる。

【0021】また、チップ内への V-DMOS 1 A, 1 B および L-DMOS 2 A, 2 B の配置に関しても、図 4 に示すレイアウトのように熱のこもりやすい L-DMOS 2 A, 2 B をチップ周辺に配置して、より熱を逃がしやすくするようにするとよい。図 4 においては、V-DMOS 1 A の表面電極 (ソース電極) は L-DMOS 2 B のドレインとチップ表面にて接続されるとともに、出力 1 端子となるパッド部 P 1 を構成している。また、V-DMOS 1 B の表面電極 (ソース電極) は L-DMOS 2 A のドレインとチップ表面にて接続されるとともに、出力 2 端子となるパッド部 P 2 を構成している。そして、L-DMOS 2 A, 2 B のソース電極は共通とされ、アース電位の設定されるパッド部 P 3 を構成している。なお、論理回路、ゲート駆動回路等を構成する制御回路部 5 はローサイド側の L-DMOS 2 A, 2 B より遠い位置に配置されて、回路への影響が最小限となるようにされている。また、図 4 において、L-DMOS 2 B, 2 A 間に V-DMOS 1 A, 1 B の一部領域を延在させるようにレイアウトすることにより L-DMOS 2 B, 2 A を離し、さらに熱のこもりにくい構造としてもよい。

【0022】なお、本発明は上記 H ブリッジへの適用に限られず、ハイサイドマルチチャンネルの如く複数の出力を有するドライバの 1 チップ化へも適用できる。すなわち 1 チップマルチチャンネルで、ハイサイドとローサイドの組み合わせが可能である。また、1 チップ H ブリッジにおいて、ハイサイド側の MOSFET のいずれも縦型とする必要はなく、いずれか一方のみでも効果がある。さらに H ブリッジを構成する場合に、絶縁分離された V-DMOS と L-DMOS を各組にして 2 チップで構成しても良い。

【0023】

【発明の効果】以上の如く、本発明の半導体装置によれば、誘導負荷を駆動した際に誤作動を生じることはなく、また、コンパクトな形状で充分な出力電流を供給することができる。

【図面の簡単な説明】

【図 1】半導体装置の断面図である。

【図 2】H ブリッジの回路図である。

【図 3】従来装置の断面図である。

【図 4】チップレイアウトを示す図である。

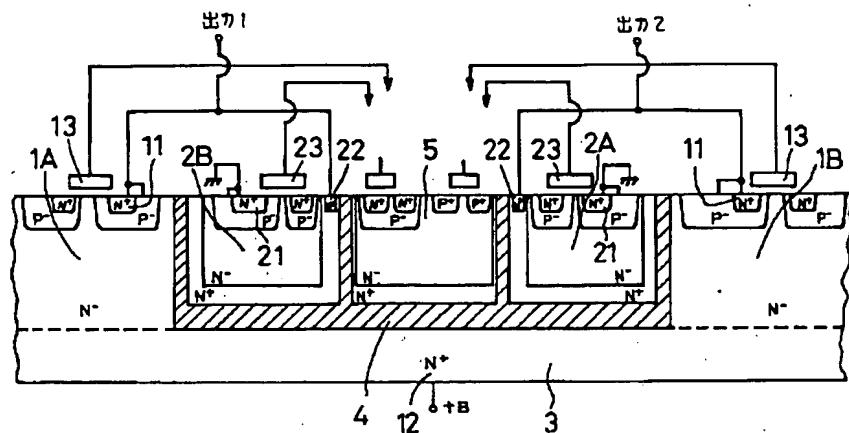
【符号の説明】

1 A, 1 B 縦型二重拡散MOS電界効果トランジスタ
2 A, 2 B 横型二重拡散MOS電界効果トランジスタ

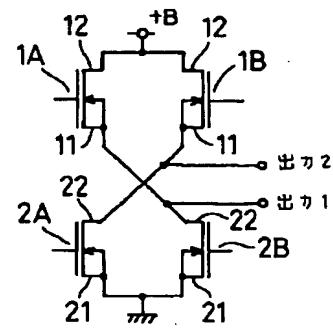
3 半導体基板

4 絶縁層

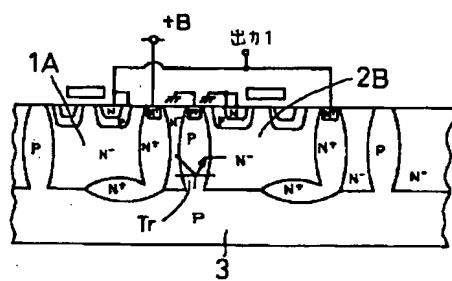
【図1】



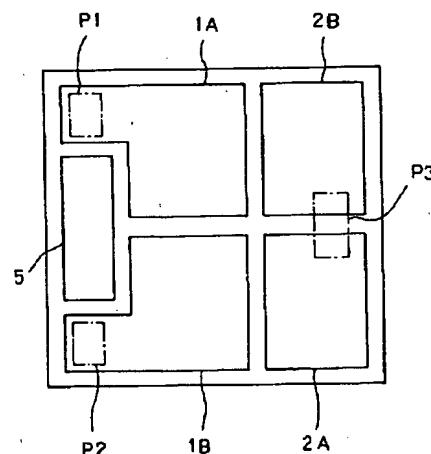
【図2】



【图3】



【図4】



フロントページの続き

(51) Int. Cl. 5

識別記号

序内整理番号

F I

技術表示箇所

HOL 29/78

3 2 1 C

(72) 発明者 石原 治

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内